

# 대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE



#2  
Priority  
Haleen  
3-28-02

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

특허출원 2001년 제 8758 호

출원 년 월 일 :  
Date of Application

2001년 02월 21일

출원인 :  
Applicant(s)

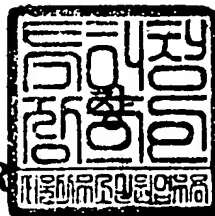
삼성전자 주식회사



2001 년 03 월 28 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF  
PRIORITY DOCUMENT

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2001.02.21
【국제특허분류】	H01L
【발명의 명칭】	열적 /기계적 스트레스에 저항성이 강한 반도체 소자의 본드패드 및 그 형성방법
【발명의 영문명칭】	Bond pad of semiconductor device having advantage against thermo-mechanical stress and method for fabricating thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김신
【성명의 영문표기】	KIM,Shin
【주민등록번호】	640225-1565720
【우편번호】	330-090
【주소】	충청남도 천안시 쌍용동 652번지 일성3차아파트 306동 50호
【국적】	KR
【발명자】	
【성명의 국문표기】	정태경
【성명의 영문표기】	CHUNG,Tae Gyeong
【주민등록번호】	631005-1921815

【우편번호】	440-320
【주소】	경기도 수원시 장안구 율전동 삼성아파트 205동 904호
【국적】	KR
【발명자】	
【성명의 국문표기】	김남석
【성명의 영문표기】	KIM,Nam Seog
【주민등록번호】	670220-1068112
【우편번호】	330-260
【주소】	충청남도 천안시 신방동 한라아파트 106동 1801호
【국적】	KR
【발명자】	
【성명의 국문표기】	이우동
【성명의 영문표기】	LEE,Woo Dong
【주민등록번호】	721228-1634811
【우편번호】	330-160
【주소】	충청남도 천안시 신방동 성지새마을아파트 204동 1902호
【국적】	KR
【발명자】	
【성명의 국문표기】	이진혁
【성명의 영문표기】	LEE,Jin Hyuk
【주민등록번호】	651027-1002137
【우편번호】	122-030
【주소】	서울특별시 은평구 대조동 48-53 102호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	18	항	685,000	원
【합계】	715,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

빔 리드 본당시 가해지는 열적/기계적 스트레스에 기인하여 본드패드 메탈층 하부의 절연막이 손상을 받는 문제를 억제할 수 있는 반도체 소자의 본드패드 및 그 형성방법에 관해 개시한다. 이를 위해 본 발명은 제1 메탈층과 제2 메탈층이 직접 접착된 형태의 본드패드 메탈층과 그 하부에 위치하는 절연막 사이에 플레이트 폴리실리콘층을 추가로 형성하여, 외부로부터 가해지는 열적/기계적 스트레스(thermo-Mechanical stress)를 흡수케하고, 수직방향의 인장력에 대한 내구성을 증대시키며, 본드패드 메탈층과 절연막의 미끄러짐을 방지하고 접착성을 개선할 수 있는 반도체 소자의 본드패드 및 그 형성방법을 제공한다.

**【대표도】**

도 3f

## 【명세서】

## 【발명의 명칭】

열적/기계적 스트레스에 저항성이 강한 반도체 소자의 본드패드 및 그 형성방법{Bond pad of semiconductor device having advantage against thermo-mechanical stress and method for fabricating thereof}

## 【도면의 간단한 설명】

도 1은 일반적인 반도체 소자의 본드 패드에 빔 리드 본딩(beam lead bonding)이 수행된 것을 도시한 단면도이다.

도 2는 빔 리드 본딩이 완료된 본드패드에 본드 풀 검사(BPT: Bond Pull Test)를 수행하였을 때 나타나는 메탈 오픈(metal open) 결함을 도시한 평면도이다.

도 3a 내지 도 3f는 본 발명에 의한 반도체 소자의 본드패드 구조 및 그 형성방법을 설명하기 위해 도시한 단면도들이다.

도 4는 본 발명에 의한 본드패드를 포함하는 반도체 칩이 탑재된 반도체 패키지를 설명하기 위해 도시한 단면도이다.

도 5은 본 발명에 의한 본드패드를 포함하는 반도체 칩이 탑재된 반도체 패키지 모듈을 설명하기 위해 도시한 단면도이다.

## \* 도면의 주요부분에 대한 부호의 설명 \*

100: 반도체 기판,

102: 제1 절연막,

104: 플레이트 폴리실리콘층,

106: 제2 절연막,

108: 제1 메탈층,

110: 금속층간 절연막(IMD),

112: 제2 메탈층,	114: 패시베이션층,
200: 반도체 칩,	202: 빔 리드(beam lead)
204: 봉합제,	206: 엘라스토머(Elastomer)
208: 폴리이미드 테입,	210: 솔더볼(solder ball).

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 상세하게는 반도체 소자의 본드패드 및 그 제조방법에 관한 것이다.

<15> 본드 패드(bond pad)란, 반도체 칩 내부에 집적된 상태로 형성된 회로패턴들을 반도체 칩 외부로 연결하는 단자를 말한다. 따라서 반도체 패키징 공정에서는 상기 본드 패드를 금선(gold wire)을 이용하여 반도체 패키지의 외부연결단자 역할을 수행하는 리드(lead)나 솔더볼(solder ball)과 연결시키는 와이어 본딩(wire bonding) 공정을 하게 된다. 그 후 상기 외부연결단자는 반도체 패키지가 사용되는 인쇄회로기판(Print Circuit Board)에 실장(mounting)된다.

<16> 대부분의 와이어 본딩 방식은, 1차 본드로 반도체 칩의 본드패드에 볼 본드(ball bond)를 형성하고, 2차 본드로 리드프레임의 내부리드(inner lead)나, 인쇄회로 패턴이 형성된 기판에 2차 본드인 스티치 본드(stitch bond)를 형성한다. 그러나, 반도체 패키지의 크기가 소형화된 특정한 형태의 칩 크기 패키지(CSP:

Chip Scale Package)에서는 빔 리드 본딩(beam lead bonding)이라는 특이한 와이어 본딩 방법을 사용한다. 빔 리드 본딩을 수행하는 대표적인 반도체 패키지로써 Tessera사의 마이크로 볼 그리드 어레이( $\mu$ Ball Grid Array, 이하 ' $\mu$ BGA'라 칭함) 패키지가 있다.

<17>      상기 빔 리드 본딩은, 구리 표면에 금은 도금한 빔 리드를 본딩 툴(bonding tool)을 이용하여 본드 패드에 눌러 붙이는 방식인데, 일반적으로 열압착 방식이 채택된다. 그러나 상기 빔 리드 본딩은, 일반적인 와이어 본딩보다 본드 패드에 가해지는 기계적 힘의 크기가 매우 크기 때문에, 본드 패드 내부에 많은 기계적 스트레스를 유발시키는 문제가 있다.

<18>      도 1은 일반적인 반도체 소자의 본드패드에 빔 리드 본딩이 수행된 것을 도시한 단면도이고, 도 2는 상기 빔 리드 본딩이 완료된 본드패드에 본드 풀 검사(BPT: Bond Pull Test)를 수행하였을 때 나타나는 메탈 오픈(metal open) 결함을 도시한 평면도이다.

<19>      도 1을 참조하면, 반도체 기판(2)에 형성된 본드패드(20)의 하부구조는, 반도체 기판(2) 위에 메모리와 같은 기능을 수행하는 하부구조(4)를 먼저 형성하고, 상기 하부구조(4) 위에 절연막(6)을 형성하고, 상기 절연막(6) 위에 메탈층(8)을 형성하여 완성된다. 그리고 상기 메탈층(8) 위에는 금선(gold wire)을 이용한 와이어 본딩, 즉 빔 리드 본딩이 수행된다. 상기 빔 리드 본딩의 신뢰성을 검증하기 위해서, 일정시간 동안의 온도적응 검사(temperature cycling test)을 수행하고, 본드 풀 검사(BPT)를 수행하게 된다.

<20>      상기 온도적응 검사는, 반도체 소자를 밀폐된 챔버에 집어넣고 온도를 최대 -65~150℃의 조건으로 올렸다 내렸다하는 과정을 반복하면서 반도체 소자에서 일어나는 물리적, 전기적 이상 유무를 제품의 출하 이전에 검사하는 신뢰성 검사(reliability test)이



다.

<21>       상기 본드 풀 검사(BPT)는, 빔 리드(20)와, 본드 패드(20) 표면의 접착 상태를 확인하기 위해, 빔 리드(20)를 일정한 힘으로 위로 끌어당김으로써, 빔 리드가 떨어지는 힘(Force)의 정도를 확인하고, 빔 리드(20)가 떨어지는 부분을 확인하여 빔 리드 본딩이 정상적으로 수행된 것을 확인하는 신뢰성 검사이다.

<22>       도면에서 A 혹은 B지점이 떨어져 나가는 것은, 빔 리드가 정상적으로 와이어 본딩이 된 것을 의미하고, C지점과 같이 빔 리드(30)와 본드패드(20)의 접합면이 떨어지거나, D지점과 같이 본드 패드(20)의 하부에 있는 메탈층(8)이 함께 떨어지는 메탈 오픈(metal open) 현상은, 빔 리드 본딩이 정상적으로 수행되지 않았음을 의미한다. 즉, C지점이 떨어지는 것은 열압착 방식으로 빔 리드(30)를 본드 패드(20) 표면에 눌러 붙일 때 접착이 정상적으로 되지 않은 것이 원인일 수 있고, D 지점이 떨어지는 것은, 본드 패드(20)의 하부구조가 취약하거나, 빔 리드 본딩시에 기계적인 스트레스가 본드 패드(20) 하부에 가해져서, 절연막(6)과 메탈층(8) 사이에 박리(delamination)가 일어나거나, 절연막(6)이 깨진 것이 원인일 수 있다.

<23>       도 2를 참조하면, 좌측은 반도체 소자(10)의 본드 패드(20)에 빔 리드(30)가 본딩된 상태를 나타낸 것이고, 우측은 본드 풀 검사(BPT)시에 메탈 오픈 결함이 발생하여 메탈층(8)이 빔 리드(30)와 함께 떨어져 나간 것을 나타낸 것이다. 이러한 메탈 오픈 결함은,  $\mu$ BGA 패키지에서 발생하기 쉬운 취약점의 하나로서, 반도체 소자의 연결 상태를 불연속적으로 만듦으로써, 반도체 소자의 동작이 불가능하게 되는 치명적인 결함이다.

<24>       따라서, 일반적인 절연막(6)과 메탈층(8)이 적층된 구조의 본드 패드(20)는 본드

풀 검사(BPT)시에 빔 리드(30)가 떨어지는 힘의 강도가 약하거나, 메탈 오픈(metal open)과 같은 신뢰성 결함을 야기하는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<25> 본 발명이 이루고자 하는 기술적 과제는 빔 리드 본딩을 수행하는 반도체 패키지에서 와이어 본딩과 관련한 신뢰성 문제를 개선할 수 있는 반도체 소자의 본드패드를 제공하는데 있다.

<26> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 본드패드를 포함하는 반도체 칩이 장착된 반도체 패키지 및 반도체 패키지 모듈을 제공하는데 있다.

<27> 본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 반도체 소자의 본드패드 형성방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<28> 상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판과, 상기 반도체 기판 위에 형성된 하부구조와, 상기 하부구조 위에 형성된 제1 절연막과, 상기 절연막 위에 형성되고 와이어 본딩의 물리적 특성을 개선하는 플레이트 폴리실리콘층(plate polysilicon film)과, 상기 플레이트 폴리실리콘층 위에 형성된 제1 메탈층 및 상기 제1 메탈층 위에 형성된 제2 메탈층을 구비하는 것을 특징으로 하는 반도체 소자의 본드패드를 제공한다.

<29> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판과, 상기 반도체 기판 위에 형성된 하부구조와, 상기 하부구조 위에 형성된 제1 절연막과, 상기 절연막 위에 형성된 물리적 특성을 개선하는 플레이트 폴리실리콘층(plate polysilicon film)과

, 상기 플레이트 폴리실리콘층 위에 형성된 제1 메탈층과, 상기 제1 메탈층 위에 형성된 제2 메탈층을 구비하는 본드패드를 갖는 반도체 칩을 탑재한 반도체 패키지 및 반도체 패키지 모듈을 제공한다.

<30> 본 발명의 바람직한 실시예에 의하면, 상기 와이어 본딩은 빔 리드 본딩(beam lead bonding)인 것이 적합하며, 상기 하부구조는 DRAM과 같은 메모리 소자의 기능을 수행하는 회로부인 것이 적합하다.

<31> 바람직하게는, 상기 제1 절연막은 BPSG막인 것이 적합하며, 두께가 3000~4000Å인 것이 적당하다. 상기 플레이트 폴리실리콘층은 그 두께가 1000~2000Å 범위인 것이 적합하며, 상기 제1 및 제2 메탈층은 알루미늄을 재질로 하는 것이 적합하며, 제1 메탈층은 두께가 7000~7500Å 범위이며, 제2 메탈층은 두께가 8500~9000Å의 범위인 것이 적합하다.

<32> 상기 또 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 소자의 본드패드 형성방법은, 먼저 하부구조가 형성된 반도체 기판 위에 와이어 본딩시 본드패드의 물리적 특성을 개선하는 플레이트 폴리실리콘층을 형성한다. 상기 플레이트 폴리실리콘층이 형성된 반도체 기판 위에 제2 절연막을 형성하고 본드패드가 형성될 영역을 개구한다. 상기 제2 절연막의 일부를 덮으면서 상기 플레이트 폴리실리콘층과 접촉되는 제1 메탈층을 형성한다. 상기 제1 메탈층이 형성된 반도체 기판 위에 금속층간 절연막(IMD)을 형성하고 본드패드가 형성될 영역을 개구한다. 상기 금속층간 절연막(IMD)의 일부를 덮으면서 상기 제1 메탈층과 접촉되는 제2 메탈층을 형성한다. 마지막으로 상기 제2 메탈층이 형성된 반도체 기판 위에 패시베이션층을 형성하고 본드패드 영역을 개구한다.

- <33> 본 발명의 바람직한 실시예에 의하면, 상기 플레이트 폴리실리콘층을 형성하기 전에 상기 하부구조 위에, 제1 절연막을 형성하는 공정을 더 진행하는 것이 적합하며, 상기 플레이트 폴리실리콘층은 1000~2000Å의 두께로 형성하는 것이 적합하다.
- <34> 상기 패시베이션층을 형성하는 단계는, 고밀도 플라즈마에 의해 생성된 산화막(HDP oxide)을 형성하는 공정과, 상기 고밀도 플라즈마에 의한 산화막 위에 PECVD에 의한 절화막을 순차적으로 형성하는 공정을 구비하는 것이 바람직하다.
- <35> 본 발명에 따르면, 이중층으로 이루어진 메탈층과 제1 절연막 사이에 플레이트 폴리실리콘층을 추가로 형성하여, 빔 리드 본딩시 본드패드에 가해지는 기계적/열적 스트레스를 흡수케하고, 수직방향의 인장력에 대한 내구성을 증대시키며, 본드패드 메탈층과 제1 절연막의 미끄러짐을 방지하고, 접착성을 개선할 수 있다.
- <36> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다.
- <37> 도 3a 내지 도 3f는 본 발명에 의한 반도체 소자의 본드패드 구조 및 그 형성방법을 설명하기 위해 도시한 단면도들이다.
- <38> 먼저, 도 3f를 참조하여 본 발명에 의한 반도체 소자의 본드 패드의 구성 및 그 구조적 특징을 설명하기로 한다.
- <39> 본 발명에 의한 반도체 소자의 본드패드 구성은, 반도체 기판(100)과, 상기 반도체 기판(100) 위에 형성된 하부구조(101)와, 상기 하부구조(101) 위에 형성된 제1 절연막

(102)과, 상기 제1 절연막(102) 위에 형성되고 와이어 본딩의 물리적 특성을 개선하는 플레이트 폴리실리콘층(104)과, 상기 플레이트 폴리실리콘층(104) 위에 형성된 제1 메탈층(108)과, 상기 제1 메탈층(108) 위에 형성된 제2 메탈층(112)으로 이루어진다.

<40> 도면에서 참조부호 106, 110 및 114는 제2 절연막, 금속층간 절연막(OMD) 및 패시베이션층(passivation layer)을 각각 나타내며, 이들은, 상기 제2 메탈층(112), 제1 메탈층(108) 및 플레이트 폴리실리콘층(104)을 연속적으로 형성하기 위해 사용된 절연막들이다.

<41> 상술한 본 발명에 의한 반도체 소자의 본드 패드에서, 플레이트 폴리실리콘층(104)은 본 발명의 목적을 달성하는 주요한 수단이 된다. 즉, 빔 리드 본딩과 같은 기계적/열적 스트레스를 동반하는 와이어 본딩이 상기 제2 메탈층(112) 위에서 수행될 때에 기계적/열적 충격을 흡수하며, 제1 메탈층(108)과, 제1 절연막(102)의 미끄러짐을 방지하면서 접착성을 개선하여 수직방향의 인장력에 대한 내구성을 증대시킨다. 따라서, 본드 풀 검사(BPT)와 같은 신뢰성 검사에서 본드 패드의 구조적 취약성을 개선시킴으로써 메탈 오픈과 같은 불량 발생을 감소시킨다.

<42> 이어서 도 3a 내지 도 3f를 참조하여 본 발명에 의한 반도체 소자의 본드 패드 형성방법에 관해 설명하기로 한다.

<43> 도 3a를 참조하면, 반도체 기판(100) 위에 하부구조(101), 예컨대 DRAM과 같은 메모리 기능을 수행하는 구조를 일반적인 방법에 의해 형성한다. 이어서 상기 하부구조(101) 위에 제1 절연막(102), 예컨대 BPSG(Boron Phosphor Silicate Glass)막을 3000 내지 4000Å의 두께로 형성한다. 상기 제1 절연막(102) 위에 폴리실리콘층을 1000~2000Å의 두께로 증착하고 이를 패터닝하여 플레이트 폴리실리콘층(104)을 형성한다. 상기

플레이트 폴리실리콘층(104) 위에 제2 절연막(106)을 적층한다.

<44> 도 3b를 참조하면, 상기 제2 절연막(106) 위에 포토레지스트 패턴(미도시)을 형성하고 식각공정을 진행하여 상기 플레이트 폴리실리콘층(104)을 노출시키는 개구부, 즉 본드패드가 형성될 영역을 형성하고, 식각마스크로 사용된 상기 포토레지스트 패턴을 제거한다.

<45> 도 3c를 참조하면, 상기 개구부가 형성된 반도체 기판 위에 일정한 두께를 갖는 금속층, 예컨대 알루미늄층을  $7000 \sim 7500 \text{ \AA}$ 의 두께로 증착한 후, 이를 패터닝하여 상기 플레이트 폴리실리콘층(104) 위에 직접 적층된 구조를 갖는 제1 메탈층(108)을 형성한다. 이때, 제1 메탈층(108)과 접촉된 플레이트 폴리실리콘층(104)은 금속확산에 의해 메탈화된다.

<46> 도 3d를 참조하면, 상기 제1 메탈층(108)이 형성된 반도체 기판 전면에 일정한 두께를 갖는 금속층간 절연막(IMD: Inter Metal Dielectric layer, 110)을 증착한다. 이어서 상기 금속층간 절연막(110) 위에 포토레지스트 패턴(미도시)을 형성한 후 패터닝을 수행하여 상기 제1 메탈층(108)이 노출되는 개구부를 형성한다. 상기 개구부를 노출시킨 후, 식각마스크로 사용된 포토레지스트 패턴은 에칭 공정으로 제거한다.

<47> 도 3e를 참조하면, 상기 개구부가 형성된 반도체 기판 전면에 금속층, 예컨대 알루미늄층을  $8500 \sim 9000 \text{ \AA}$ 의 두께로 증착한다. 이어서 상기 금속층을 패터닝하여 상기 제1 메탈층(108)의 노출된 부분과 직접 접촉하는 형태의 제2 메탈층(112)을 형성한다. 상기 제2 메탈층(112)은 최상부 메탈층으로서, 후속되는 와이어 본딩 공정에서 뱀 리드(미도시)가 열압착 방식으로 접촉되는 표면이다.

<48> 도 3f를 참조하면, 상기 제2 메탈층(112)이 형성된 반도체 기판 전면에서 패시베이션층(114), 예컨대 고밀도 플라즈마에 의해 생성된 산화막(HDP oxide)과, PECVD에 의해 생성된 질화막이 순차적으로 적층된 구조를 갖는 이중막을 형성한다. 이어서, 상기 패시베이션층(114) 위에 포토레지스트 패턴(미도시)을 형성하고 이를 식각마스크로 하부의 패시베이션층(114)의 일부를 식각하여 상기 제2 메탈층(112)을 노출시키는 본드 패드를 형성한다.

<49> 도 4는 본 발명에 의한 본드패드를 포함하는 반도체 칩이 탑재된 반도체 패키지를 설명하기 위한 단면도이다.

<50> 도 4를 참조하면, 이중의 메탈층과 플레이트 폴리실리콘층이 제1 절연막 위에 적층된 구조의 본드패드(도면의 A)를 갖는 반도체 칩(200)이 빔 리드(202)에 의해 와이어 본딩된 후, 봉합재(Encapsulant, 204)에 의해 패키징된 상태를 보여준다. 도면에서 참조부호 206은 엘라스토머(Elastomer)를, 208은 폴리이미드 테이프(Polyimide tape)를, 210은 솔더볼(solder ball)을 각각 가리킨다.

<51> 도 5은 본 발명에 의한 본드패드를 포함하는 반도체 칩이 탑재된 반도체 패키지 모듈을 설명하기 위해 도시한 단면도이다.

<52> 도 5를 참조하면, 이중의 메탈층에 플레이트 폴리실리콘이 적층된 구조의 본드패드 위에 빔 리드가 와이어 본딩된 반도체 칩을 갖는 반도체 패키지(326, 328)들이 모듈 보오드(318)의 상하면에 탑재(mounting)되어 있고, 히트 스트레더(heat spreader, 320, 322)가 모듈 보오드(318)를 감싸고 있다. 도면에서 참조부호 316은 히트 스프레더(320, 322)와 모듈 보오드를 체결하는 수단(316)으로 볼트 및 너트를 사용할 수 있다. 또한 참조부호 332는 솔더볼을 가리키고, 330은 접착층을 각각 가리킨다.

<53> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

**【발명의 효과】**

<54> 따라서, 상술한 본 발명에 따르면, 본드패드용 제1 메탈층과, 제1 절연막 사이에 플레이트 폴리실리콘층을 추가하여 빔 리드 본딩과 같은 와이어 본딩시에 본드 패드 내부로 가해지는 기계적/열적 스트레스를 흡수하여 반도체 소자의 신뢰성을 개선할 수 있다.



**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체 기판 위에 형성된 하부구조;

상기 하부구조 위에 형성된 제1 절연막;

상기 절연막 위에 형성되고 와이어 본딩의 물리적 특성을 개선하는 플레이트 폴리실리콘층(plate polysilicon film);

상기 플레이트 폴리실리콘층 위에 형성된 제1 메탈층; 및

상기 제1 메탈층 위에 형성된 제2 메탈층을 구비하는 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 2】**

제1항에 있어서,

상기 하부구조는 DRAM과 같은 메모리 소자의 기능을 수행하는 회로부인 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 3】**

제1항에 있어서,

상기 제1 절연막은 BPSG막인 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 4】**

제1항에 있어서,

상기 제1 절연막의 두께는 3000~4000Å의 두께인 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 5】**

제1항에 있어서,

상기 플레이트 폴리실리콘층은 그 두께가 1000~2000Å 범위인 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 6】**

제1항에 있어서,

상기 제1 및 제2 메탈층은 알루미늄을 재질로 하는 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 7】**

제1항에 있어서,

상기 제1 메탈층은 두께가 7000~7500Å 범위인 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 8】**

제1항에 있어서,

상기 제2 메탈층은 두께가 8500~9000Å의 범위인 것을 특징으로 하는 반도체 소자의 본드패드.

**【청구항 9】**

제1항에 있어서,

상기 와이어 본딩은 빔 리드 본딩(beam lead bonding)인 것을 특징으로 하는 반도체 소자의 본드패드.

【청구항 10】

반도체 기판;

상기 반도체 기판 위에 형성된 하부구조;

상기 하부구조 위에 형성된 제1 절연막;

상기 절연막 위에 형성된 물리적 특성을 개선하는 플레이트 폴리실리콘층(plate polysilicon film);

상기 플레이트 폴리실리콘층 위에 형성된 제1 메탈층; 및

상기 제1 메탈층 위에 형성된 제2 메탈층을 구비하는 본드패드를 갖는 반도체 칩을 탑재한 반도체 패키지.

【청구항 11】

반도체 기판;

상기 반도체 기판 위에 형성된 하부구조;

상기 하부구조 위에 형성된 제1 절연막;

상기 절연막 위에 형성된 물리적 특성을 개선하는 플레이트 폴리실리콘층(plate polysilicon film);

상기 플레이트 폴리실리콘층 위에 형성된 제1 메탈층; 및

상기 제1 메탈층 위에 형성된 제2 메탈층을 구비하는 본드패드를 갖는 반도체 칩을 탑재한 반도체 패키지 모듈.

**【청구항 12】**

하부구조가 형성된 반도체 기판 위에 와이어 본딩시 본드패드의 물리적 특성을 개선하는 플레이트 폴리실리콘층을 형성하는 단계;

상기 플레이트 폴리실리콘층이 형성된 반도체 기판 위에 제2 절연막을 형성하고 본드패드가 형성될 영역을 개구하는 단계;

상기 제2 절연막의 일부를 덮으면서 상기 플레이트 폴리실리콘층과 접촉되는 제1 메탈층을 형성하는 단계;

상기 제1 메탈층이 형성된 반도체 기판 위에 금속층간 절연막(IMD)을 형성하고 본드패드가 형성될 영역을 개구하는 단계;

상기 금속층간 절연막(IMD)의 일부를 덮으면서 상기 제1 메탈층과 접촉되는 제2 메탈층을 형성하는 단계; 및

상기 제2 메탈층이 형성된 반도체 기판 위에 패시베이션층을 형성하고 본드패드 영역을 개구하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 본드패드 형성방법.

**【청구항 13】**

제12항에 있어서,

상기 하부구조는 DRAM의 기능을 수행하는 구조인 것을 특징으로 하는 반도체 소자의 본드패드 형성방법.

**【청구항 14】**

제12항에 있어서,

상기 플레이트 폴리실리콘층을 형성하기 전에 상기 하부구조 위에 , 제1 절연막을 형성하는 공정을 더 진행하는 것을 특징으로 하는 반도체 소자의 본드패드 형성방법.

**【청구항 15】**

제12항에 있어서,

상기 플레이트 폴리실리콘층은 1000~2000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 본드 패드 형성방법.

**【청구항 16】**

제12항에 있어서,

상기 제1 및 제2 메탈층은 알루미늄이 재질인 것을 특징으로 하는 반도체 소자의 본드패드 형성 방법.

**【청구항 17】**

제12항에 있어서,

상기 패시베이션층을 형성하는 단계는,

고밀도 플라즈마에 의해 생성된 산화막(HDP oxide)을 형성하는 공정과,

상기 고밀도 플라즈마에 의한 산화막 위에 PECVD에 의한 질화막을 순차적으로 형성하는 공정을 구비하는 것을 특징으로 하는 반도체 소자의 본드패드 형성방법.

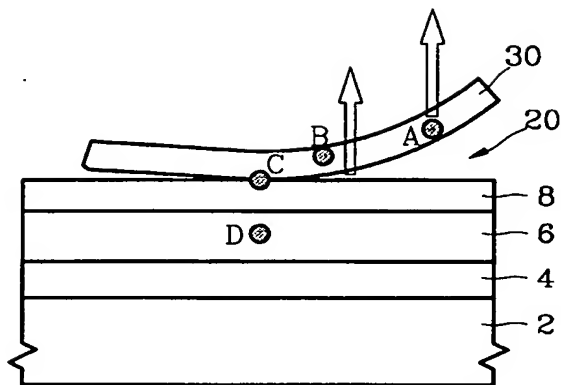
**【청구항 18】**

제12항에 있어서,

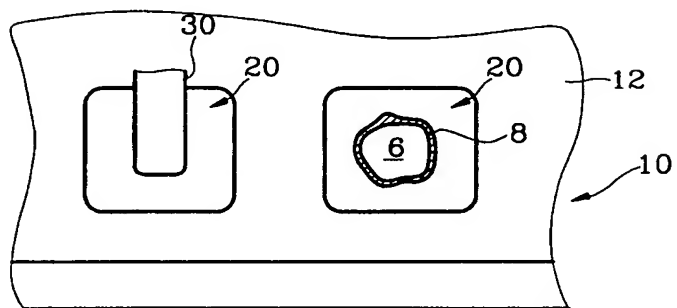
상기 와이어 본딩은 빔 리드 본딩인 것을 특징으로 하는 반도체 소자의 본드패드 형성방법.

## 【도면】

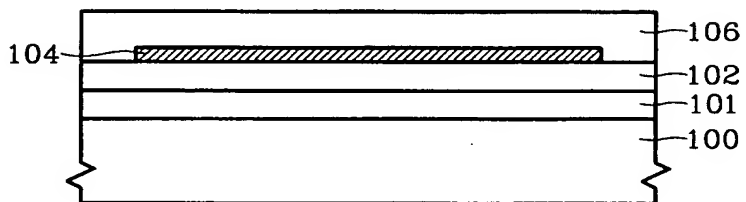
【도 1】



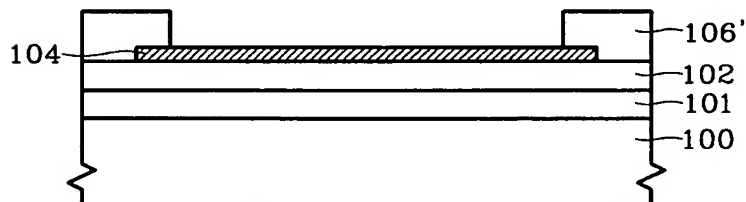
【도 2】



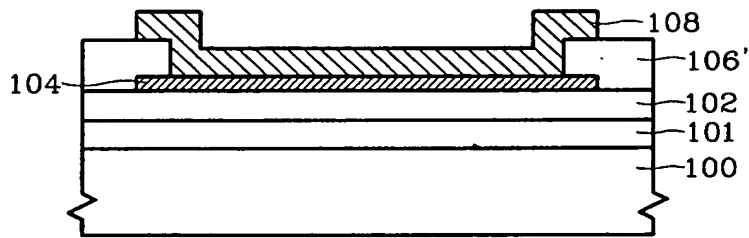
【도 3a】



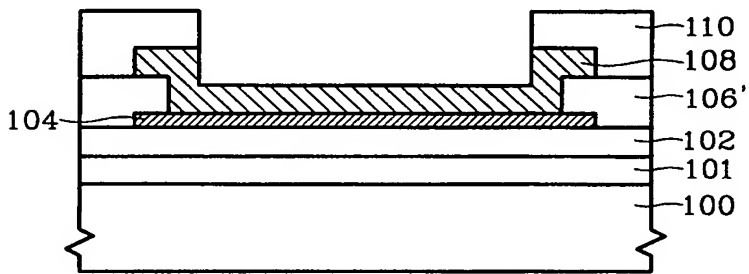
【도 3b】



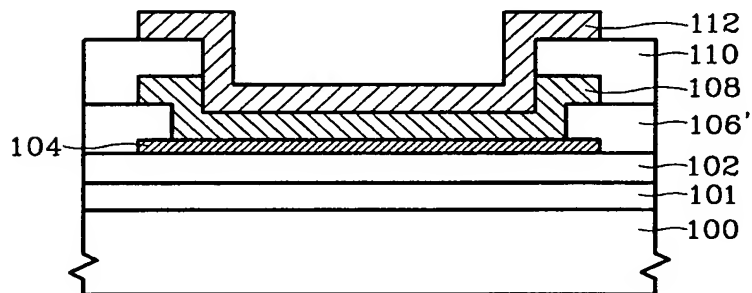
【도 3c】



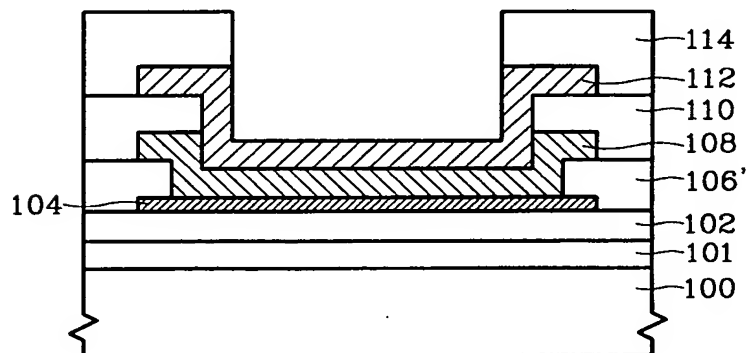
【도 3d】



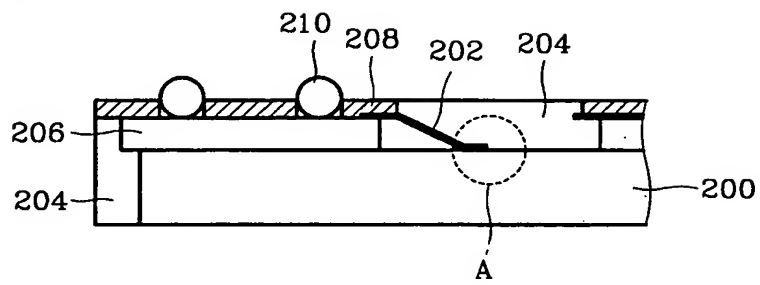
【도 3e】



【도 3f】



【도 4】



【도 5】

